

Diseño e implementación de una arquitectura RTL eficiente para ejecutar el algoritmo de la transformada extendida de Fourier (XFT)

En el área de procesamiento digital de señales, el uso de la transformada rápida de Fourier (FFT) es uno de los algoritmos más importantes en aplicaciones dentro de sistemas de comunicación 4G y 5G, procesamiento de voz, comunicaciones digitales, control digital, entre otros. Mientras que la implementación del algoritmo de la FFT es relativamente fácil de implementar en software, su implementación en hardware (GPU, FPGA) es muy utilizada en procesamiento en tiempo-real y requiere soportar altas velocidades de procesamiento en la información, por lo que el diseño y construcción de un bloque en hardware que sea eficiente en consumo de potencia con una alta robustez y estabilidad numérica en su implementación. Otra de las características deseables en la implementación del algoritmo de la FFT en hardware es el uso de técnicas eficientes de diseño digital a alto nivel que exploren características de paralelización del algoritmo, pipelining y temporización. En el presente trabajo de tesis se propone realizar el diseño de la arquitectura e implementación en hardware (FPGA) de un método eficiente denominado XFT [2], el cual es una versión muy eficiente de implementar el algoritmo FFT. Los requerimientos en conocimientos que se desean domine el estudiante son: conocimiento básico de electrónica digital, matemáticas básicas, álgebra lineal, o métodos numéricos, uso de matlab básico y las habilidades a desarrollar durante el desarrollo de la tesis son: manejo de herramientas de descripción de hardware, descripción de modelos, simulaciones en Matlab, diseño digital para cómputo aritmético.

Productos académicos comprometidos: 1 artículo de conferencia internacional arbitrada publicado y 1 artículo de revista indizada sometido, ambos antes del 31 de agosto de 2019.

Estancia del estudiante: En institución nacional, Universidad de Quintana Roo con duración de 1 mes.

Conferencia del estudiante: Nacionales IEEE CCE 2017-2019 o Internacional IEEE WTS 2019

[1] M. Moshinsky, C. Quesne, Linear canonical transformations and their unitary representations, *J. Math. Phys.* 12 (1971) 1772–1783.

[2] R.G. Campos, J. Rico-Melgoza, E. Chávez, XFT: extending the digital application of the Fourier transform, arXiv:0911.0952v1, [/http://arxiv.org/abs/0911.0952v1](http://arxiv.org/abs/0911.0952v1); 2009.

[3] R.G. Campos, F. Domínguez Mota, E. Coronado, Quadrature formulas for integrals transforms generated by orthogonal polynomials, *IMA J. Numer. Anal.*, to appear (cf. arXiv.0805.2111v1, 2008, [/http://arxiv.org/abs/0805.2111](http://arxiv.org/abs/0805.2111)).

[4] W. H. Press, S. A. Teukolski, W. T. Vetterling and B. P. Flannery, *Numerical Recipes in C, The Art of Scientific Computing*, Cambridge Univ. Press, 2002.

[5] S. A. Khan, *Digital Design of Signal Processing Systems: A Practical Approach*, Wiley, Section 2.5.4.4, 2011.

[6] D. Cohen, "Simplified control of FFT hardware," *IEEE Trans. Acoustics, Speech, Sig. Proc.*, pp. 577-579, Dec. 1976.

[7] A. Moore, *FPGAs For Dummies Special Edition, 2nd Edición*, Intel-Altera, John Wiley & Sons, Inc, 2016